

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-273755

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月27日

H 01 L 21/88
29/78

6708-5F
8422-5F

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 電界効果トランジスタおよびその製造方法

⑯ 特 願 昭61-117775

⑰ 出 願 昭61(1986)5月21日

⑱ 発 明 者 大 畑 恵 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

電界効果トランジスタおよびその製造方法

特許請求の範囲

1) 半導体チャネル層上あるいはチャネル上に形成されたゲート絶縁膜上に形成されたゲート電極の上面から、空間的に浮かされた配線(エアーブリッジ)でもって外部引出配線が形成されたことを特徴とする電界効果トランジスタ。

2) 半導体チャネル層上あるいはチャネル上に形成されたゲート絶縁膜上にゲート電極を形成した後、流動性樹脂を塗布、表面を平坦化し、さらにガスエッチングで該樹脂層をエッチングしてゲート電極の上面を露出し、該露出したゲート電極上面に接続して外部引出配線部を形成することを特徴とする電界効果トランジスタの製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は、特に超高周波帯用の電界効果トランジスタおよびその製造方法に関する。

(従来技術)

近年、トランジスタの高周波動作化、高性能化の要請はますます高まっている。InP電界効果トランジスタ(FET)特に絶縁ゲートFET(MISFET)は、電子速度が大きく、かつゲート耐圧が大きく、このような要請に応え得る新しいFETとして期待されている。その一般的構造は第3図の斜視図に示すもので、高抵抗基板1上にチャネル層2が設けられ、ゲート絶縁膜3を介してゲート電極4が形成され、その両側にソース電極5、ドレイン電極6が形成されている。ゲートは素子動作域から配線8で引出されボンディングパッド7に接続されている。またゲート電極の引出方向の断面構造は第4図のようになる。

(発明が解決しようとする問題点)

InPの表面電位は小さく、従って、特にゲート電極に正電圧を印加した時には、第4図素子断面中に○で示すように、動作域のみならず、ゲート引出部

8下およびゲートパッド7下にも電子層が誘起される。したがって、大面積のパッドにより、極めて大きい寄生容量が生じ、高周波特性を大きく損う欠点がある。

本発明は以上のような従来技術における大きな寄生容量を低減し、高周波特性に優れた電界効果トランジスタならびにその製造方法を提供するものである。

(問題を解決するための手段)

本発明によれば、半導体チャネル層上あるいはチャネル上に形成された絶縁膜上に形成されたゲート電極の上面から、空間的に浮かされた配線(エアーブリッジ)でもって、外部引出配線が形成されたことを特徴とする電界効果トランジスタが得られる。

また本発明によれば、半導体チャネル層上あるいはチャネル上に形成されたゲート絶縁膜上にゲート電極を形成した後、流動性樹脂を塗布、表面を平坦化し、さらにガスエッチングで該樹脂層をエッチングしてゲート電極の上面を露出し、該

露出したゲート電極上面に接続して外部引出配線部を、形成することを特徴とする電界効果トランジスタの製造方法が得られる。

(作用)

第1図は本発明による高周波用電界効果トランジスタの一例を示すトランジスタチップの斜視図である。ゲート上面から半絶縁性基板1上に絶縁膜3を介して形成されたゲートパッド7への引出部8がエアーブリッジで形成されている。図から解るようにゲート電極4本体、およびゲートパッド7以外のゲート配線部はすべて空間的に浮いているので、従来例のようにチャネルや基板に電荷を誘起することはほとんどなく、寄生容量は極めて小さくなる。この効果は、ゲート電極を高く形成する程、ゲート引出部が基板表面よりはなれるので大きくなり、また後述する様に製造上も容易になる。さらに、従来例ではソース電極を複数にする必要があること通常のエアーブリッジや絶縁膜を用いて、ゲート引出部とソースをクロスオーバーして配線する場合には、ゲート引出部がチャネル

図1
(8)

層あるいはソースと近傍した基板上をはうことが避けられない等、電極の配置が複雑になることがあるのに対し、本発明では第1図で明らかな様に、ゲート電極4およびソース電極5共極めて簡単な形状および配置にすることができる。このことは一層寄生容量および寄生抵抗(ソース抵抗を低減し得る。さらにゲートの外部配線を引出す場所に制限がないことは、以上の効果をより一層大きくする。

(実施例)

以下実施例により本発明の電界効果トランジスタの製造方法について説明する。第2図は本発明の製造方法の実施例の1例の工程を示す素子断面図で、まず、n-InPチャネル層2上にCVD SiO₂のゲート絶縁膜3を例えば500Åの厚さに形成し、さらにゲート電極4を形成する(第2図(a))。この場合は、例えばAu/WSiのT型ゲートの場合を示している。続いて、このT型ゲートをマスクにして、セルフアラインでソース5およびドレイン6オーム性電極を形成する。なお5Aはゲート電極上についたオーミッ

(4)

ク金属である(第2図(b))。次にゲートパッド部を開口する厚いホトレジストパターン11を形成し、高温でベーキングしてホトレジストを流動化し、表面を平坦化する(第2図(c))。次いでO₂のドライエッチングによりホトレジスト11をエッチングし、ゲートの上面を露出し、さらに全面にゲート引出配線およびパッドの下層ならびにめっき用配線を兼ねる金属12、例えばTiPtを蒸着する(第2図(d))。次いでめっき用としてゲート引出部およびパッドを開口するホトレジストパターン13を形成しAuめっき層14を形成する(第2図(e))。最後にめっき用ホトレジスト13を除去し、該Auめっき層をマスクに下地金属層12をエッチングし、さらに下層ホトレジスト層11を除去すれば素子が完成する(第2図(f))。なお以上ではゲート引出部とゲートパッドとを同時に形成したが、ゲートパッドをあらかじめ形成しておいても良い。またゲートおよび、ソース、ドレイン電極は通常行われる任意の方法が適用でき、本方法に限定されるものではない。ゲート引出部の形成方法も同様でめっき法に限定しな

図2
(5)

(6)

くても良い。以上の説明より解る様に本製法によれば、ゲートの上面が高くさえあれば任意のゲート電極より配線を簡単にエアブリッジで引出すことができる。

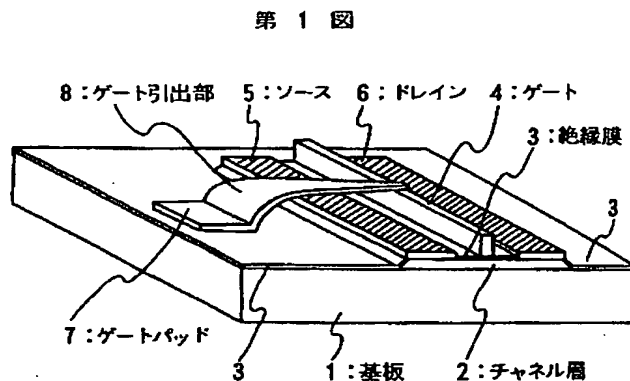
(発明の効果)

以上本発明によれば、寄生因子の低減された、特に寄生容量の小さい高性能、超高周波電界効果トランジスタが実現でき、かつ簡単な方法で量産できる。なお以上では半導体としてInPの場合について説明したが、GaAs等他の半導体にも適用できることは明らかである。

図面の簡単な説明

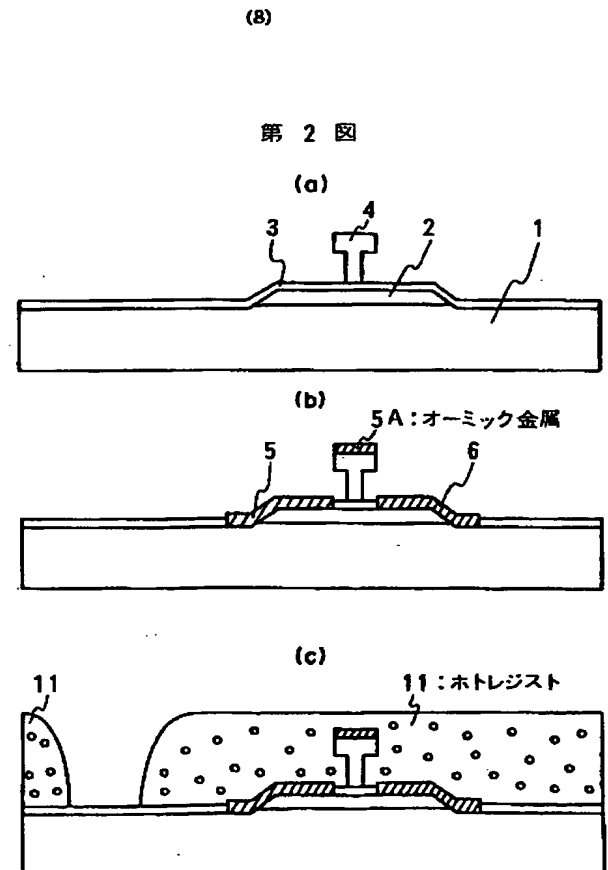
第1図は本発明の電界効果トランジスタの例を示す斜視図、第2図(a)~(f)は本発明の電界効果トランジスタの製造方法を説明する素子断面図、第3図の斜視図、第4図の断面図は従来の電界効果トランジスタを説明する図である。ここで

- 1:高抵抗基板、2:チャネル層、3:絶縁膜
4:ゲート、5:ソース、6:ドレイン
7:ゲートパッド、8:ゲート引出部、



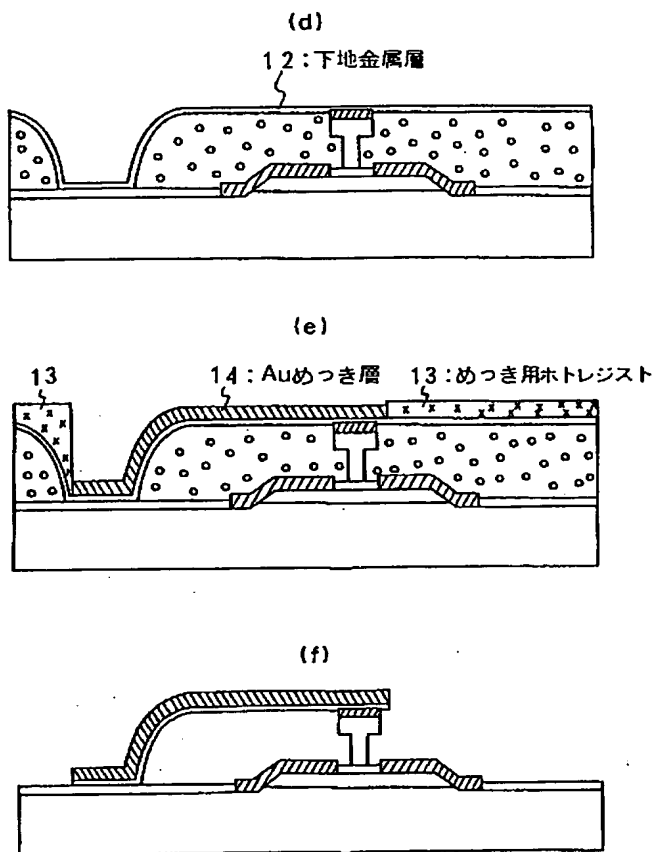
11および13:ホトレジスト、12:配線下地層
14:Auめっき層である。

代理人 弁理士 内原 晋

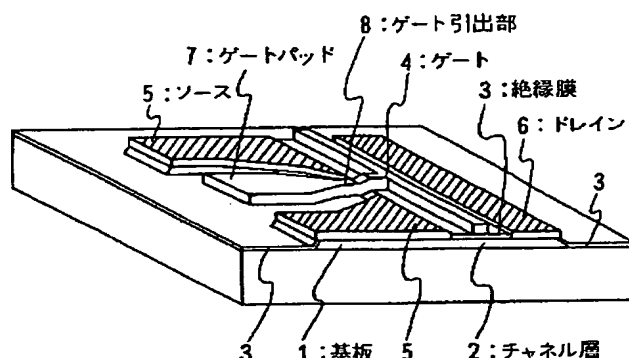


図面の浄書(内容に変更なし)

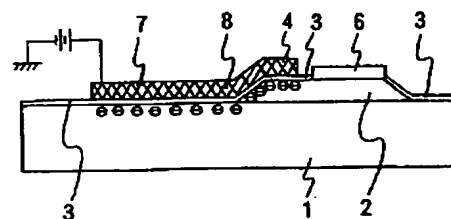
第 2 図



第 3 図



第 4 図



手続補正書(方式)

昭和 61. 8. 27 年 月 日

特許庁長官 殿



1. 事件の表示 昭和 61年 特許願 第 117775号

2. 発明の名称

電界効果トランジスタおよびその製造方法

3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関 本 忠 弘

4. 代 理 人

〒108 東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(6591) 弁理士 内 原 晋

電話 東京 (03) 456-3111 (大代表)

(連絡先 日本電気株式会社 特許部)

5. 補正命令の日付 昭和61年7月29日(発送日)

方式
審査



6.補正の対象

図面

7.補正の内容

1) 本願添付図面第2図(d)(e)(f)を別紙図面のよう
に補正する。

代理人 弁理士 内 原 晋

